

18 MAR 2004

WIPO PCT

PCT/JP 2004/000869

日 本 国 特 許 庁
JAPAN PATENT OFFICE

29. 1. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 2 月 7 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 3 0 6 4 2
[ST. 10/C]: [J P 2 0 0 3 - 0 3 0 6 4 2]

出 願 人
Applicant(s): 信越半導体株式会社
大見 忠弘

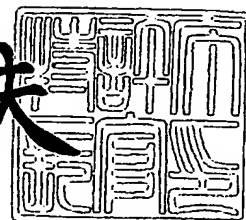
**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年 3 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 6 6 1 6

【書類名】 特許願

【整理番号】 76453-P

【提出日】 平成15年 2月 7日

【あて先】 特許庁長官 太田信一郎 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 福島県西白河郡西郷村大字小田倉字大平 1 5 0 番地
信越半導体株式会社 半導体白河研
究所内

【氏名】 山中 秀記

【発明者】

【住所又は居所】 東京都千代田区丸の内 1 丁目 4 番 2 号
信越半導体株式会社内

【氏名】 出水 清史

【発明者】

【住所又は居所】 宮城県仙台市青葉区米ヶ袋 2 丁目 1 - 1 7 - 3 0 1

【氏名】 大見 忠弘

【発明者】

【住所又は居所】 宮城県仙台市宮城野区平成 1 - 1 - 2 2 - K 6

【氏名】 寺本 章伸

【発明者】

【住所又は居所】 宮城県仙台市青葉区川内元支倉 3 5 番地
川内住宅 2 - 1 0 2

【氏名】 須川 成利

【特許出願人】

【識別番号】 000190149

【住所又は居所】 東京都千代田区丸の内 1 丁目 4 番 2 号

【氏名又は名称】 信越半導体株式会社

【特許出願人】

【住所又は居所】 宮城県仙台市青葉区米ヶ袋2丁目1-17-301

【氏名又は名称】 大見 忠弘

【代理人】

【識別番号】 100080230

【住所又は居所】 東京都豊島区東池袋3丁目7番8号

若井ビル302号 石原国際特許事務所

【弁理士】

【氏名又は名称】 石原 詔二

【電話番号】 03-5951-0791

【手数料の表示】

【予納台帳番号】 006921

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9804626

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリコン半導体基板及びその製造方法

【特許請求の範囲】

【請求項 1】 $\{110\}$ 面又は $\{1\bar{1}0\}$ 面を傾けた面を主面とするシリコン半導体基板であって、その表面に平均的に $\langle 110 \rangle$ 方向に沿った原子レベルのステップを有することを特徴とするシリコン半導体基板。

【請求項 2】 前記 $\{110\}$ 面を傾けた面が $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面であることを特徴とする請求項 1 記載のシリコン半導体基板。

【請求項 3】 前記 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板の表面にエピタキシャル成長法によりシリコン単結晶薄膜を形成したことを特徴とする請求項 2 記載のシリコン半導体基板。

【請求項 4】 前記 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板を、水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理を施したことを特徴とする請求項 2 記載のシリコン半導体基板。

【請求項 5】 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板であって、その表面を鏡面研磨したことを特徴とするシリコン半導体基板。

【請求項 6】 前記 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板の $\langle 100 \rangle$ 方向への傾斜角度が 0° 以上 8° 未満であることを特徴とする請求項 2～5 のいずれか 1 項に記載のシリコン半導体基板。

【請求項 7】 オリエンテーションフラットあるいはノッチを $\langle 110 \rangle$ 方向に形成したことを特徴とする請求項 1～6 のいずれか 1 項に記載のシリコン半導体基板。

【請求項 8】 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板を作製し、その表面にエピタキシャル成長法によりシリコン単結晶薄膜を成長させることにより請求項 2 記載のシリコン半導体基板を製造することを特徴とするシリコン半導体基板の製造方法。

【請求項 9】 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリ

コン半導体基板を作製し、そのシリコン半導体基板を水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理することにより請求項2記載のシリコン半導体基板を製造することを特徴とするシリコン半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路素子の製造に使われる単結晶シリコン半導体基板及びその製造方法に関するものである。

【0002】

【関連技術】

単結晶シリコンウェーハを用いて製造されるMIS・FET (Metal-Insulator-Semiconductor Field Effect Transistor) のゲート絶縁膜には、低リーク電流特性、低界面準位密度、イオン注入に対する高耐性などの高性能電気特性と高信頼性が要求される。これらの要求を満足するゲート絶縁膜形成技術としては、熱酸化法による二酸化珪素膜（単に酸化膜という場合もある）の形成技術が主流である。いわゆる、MOS・FET (Metal-Oxide-Semiconductor Field Effect Transistor) である。この熱酸化法によって良好な酸化膜／シリコン界面特性、酸化膜耐圧特性、リーク電流特性が得られるのは、 $\{100\}$ を主面とするシリコンウェーハを基板とした場合である。それ以外の $\{110\}$ や $\{111\}$ 方位を主面とするシリコンウェーハが集積回路素子の基板として活用されていない主な理由は、 $\{110\}$ 面及び $\{111\}$ 面に形成された酸化膜の界面準位密度が高いからである。界面準位密度が高いと酸化膜の耐圧特性やリーク電流特性などの電気特性が劣る。

【0003】

したがって、MOS・FETが形成されるシリコンウェーハ基板には、今まで $\{100\}$ 方位のウェーハか、 $\{100\}$ から 4° 程度傾けられたウェーハが使用されてきた。

【0004】

しかし、 $\{100\}$ 面の半導体素子ではn型FETと比較して、p型FETの電流駆動能力、つまりキャリア移動度が約0.3倍であることが問題とされてきた。近年、シリコンウェーハの表面の面方位に依存することのない良質の絶縁膜を形成する手法、つまりラジカル酸化法、あるいはラジカル窒化法が開発された（非特許文献1）。この手法を用いれば、 $\{100\}$ 以外の面に対しても良質な絶縁膜を形成できることになる。

【0005】

したがって、MOSFETのチャネル方向のキャリア移動度が高くなる可能性のある $\{110\}$ 面を主面とするシリコン半導体基板を用いた半導体集積回路素子の実現性が高くなった。本発明者等は $\{110\}$ 面を主面とする半導体素子を作製し、その特性の評価を行い、種々の知見を得ることができた。

【0006】

そのp型FETの電流駆動能力は $\{100\}$ に比べて約2.5倍も上昇するが、n型FETの電流駆動能力は約0.6倍に低下してしまうという期待に反する結果になった。このn型FETの電子移動度を $\{100\}$ 面の電子移動度と同等か、それ以上に上げることができれば $\{110\}$ 面を用いた半導体集積回路素子が実用化され、広く用いられることになる。

【0007】

キャリア移動度は、不純物散乱、フォノン散乱（格子振動散乱）、表面ラフネス散乱の影響を受ける。これらの散乱の影響が大きい場合にはキャリア移動度は低下する。 $\{100\}$ 面の電子移動度は、シリコン表面のラフネスに大きく影響を受け、ラフネスが悪いほど電子移動度は低下することが明らかにされた（非特許文献2）。その後、表面ラフネスを低減するための方法として次の2つの手法が提案されている。即ち、（1）酸素ラジカルを含む雰囲気下での半導体基板表面への酸化膜の形成（非特許文献3）、及び（2）RCA洗浄（非特許文献4）以外の基板表面の洗浄方法である。

【0008】

（1）のラジカル酸化では、酸化種であるラジカル酸素がシリコン表面の突起

部に付着する確率が高いことと、負に帯電した突起部に O^+ や O_2^+ の酸素イオンが引き寄せられる効果が相乗して、突起部が優先的に酸化されることによって表面ラフネスが低減すると考えられている。従来のドライ酸素（乾燥酸素）雰囲気下の酸化では20%程度の表面ラフネスの悪化が起こるが、ラジカル酸化では40%程度の表面ラフネスの低減が起こる。

【0009】

また、(2)の洗浄方法は既に特許文献1として公開されている。従来から広く用いられているRCA洗浄のアルカリ液による洗浄工程が表面のラフネスを悪化させることから、特許文献1として公開されている洗浄はアルカリ液を含まない洗浄工程で、かつRCA洗浄と同等以上のパーティクル除去、有機物汚染除去、金属不純物除去の能力を有する。この新しい洗浄工程は5つの工程で構成されることから、本明細書では以下5工程洗浄と略記することにする。

【0010】

RCA洗浄のアルカリ液を含む洗浄工程で表面ラフネスが悪化する理由は、 $Si-Si$ 結合の弱い部分が水酸化物イオン（OHイオン）により優先的にエッチングされることにある。

【0011】

表面ラフネスを低減するための上記の2つの手法のうち、(1)のラジカル酸化法は表面ラフネスを低減させる方法であるが、(2)の5工程洗浄は表面ラフネスを低減させる方法というよりも、RCA洗浄で荒れる量を抑制する方法である。実際、従来のRCA洗浄によって50%程度悪化するところを5工程洗浄では0%から10%の悪化に留めることができる。

【0012】

ラジカル酸化法で表面ラフネスが低減することから、ゲート酸化膜を形成する前に、このラジカル酸化を繰り返すことによってさらに表面ラフネスを低減することが可能であるが、その繰り返しを行うことの弊害もある。ラジカル酸化は300℃～500℃程度の低温で行われる。この温度では酸素ドナーが形成され、基板内部の電気抵抗率が変化してしまう。もし500℃以上で酸化する場合には、酸素析出核の形成とその成長が基板表層でも起こり、リーク電流やゲート酸化

膜の絶縁破壊の原因になる。

【0013】

シリコン半導体基板の表面ラフネスを低減することは表面を原子レベルで平坦化することである。ある特定の結晶面をもつ鏡面研磨され洗浄されたシリコンウェーハの表面は、原子レベルで見ると無数の凹凸が存在し、これがマイクロラフネスと呼ばれる表面ラフネスの要因である。これは切り出し面と異なるマイクロファセットが研磨や洗浄で用いる薬液とシリコン表面との化学反応によって表面に多数出現することによって形成される。

【0014】

$\{111\}$ 面に切り出されたシリコンウェーハでは、 $\{111\}$ 面自体がファセット面であるから、原子レベルで平坦な面が形成されやすい。Y. J. Chabal 等はフッ化アンモニウム水溶液で洗浄することによって、表面シリコン原子のダングリングボンド（共有結合の相手が無い結合手）を水素原子で終端し安定化させ、原子的に平坦化できることを公表している（非特許文献5）。

【0015】

また、 $\{111\}$ 面を

【0016】

【外1】

$[11\bar{2}]$ または $[\bar{1}\bar{1}2]$

【0017】

方向に数度だけ微傾斜させ、フッ化アンモニウム水溶液で洗浄することによって、原子レベルでステップとテラスを形成し原子的に平坦化できることも明らかにされた（非特許文献6）。しかし、最も広く使われている $\{100\}$ 面シリコン基板において、鏡面研磨された基板を洗浄だけによって原子レベルでの平坦化を実現したという報告はない。

【0018】

微傾斜した $\{100\}$ 面にエピタキシャル成長させたエピタキシャルシリコン半導体基板においては、ステップとテラスを形成することによって表面ラフネス

を低減したという報告はある（非特許文献7）。また、水素雰囲気下で高温熱処理を行うことによってシリコン半導体基板にステップとテラスを形成して、表面ラフネスを低減したという報告もある（非特許文献8）。しかし、本発明者等が注目している $\{110\}$ 面においては原子レベルでの平坦化の報告はない。

【0019】

超高真空下での加熱処理による $\{100\}$ 面の平坦化については、数多く報告されている。しかし、200mm以上の大口径シリコン基板に対しては、その熱処理炉が大型化することと生産性が低下することから、シリコン基板製造工程に導入することは困難である。

【0020】

【特許文献1】

特開平11-057636号公報

【非特許文献1】

2000 Symposium on VLSI Technology,
Honolulu, Hawaii, June 13-15, 2000 "Advanced of Radical Oxidation for Improving Reliability of Ultra-Thin Gate Oxide"

【非特許文献2】

T. Ohmi et al. : IEEE Trans. Electron Devices, vol. 137, p. 537, 1992

【非特許文献3】

M. Nagamine et al., IEDM Tech. Dig. p. 593, 1998

【非特許文献4】

W. Kern et al. : RCA Review, vol. 31, p. 187, 1970

【非特許文献5】

Y. J. Chabal et al., J. Vac. Sci. & Techn

ol. vol. A7, pp. 2104, 1989

【非特許文献6】

H. Sakaue et al., Appl. Phys. Lett. vol. 78, p. 309, 2001

【非特許文献7】

K. Izunome et al.: Jpn. J. Appl. Phys. vol. 31, pp. L1277, 1992

【非特許文献8】

O. Vatel et al.: Jpn. J. Appl. Phys. vol. 32, pp. L1489, 1993

【0021】

【発明が解決しようとする課題】

シリコン半導体基板を製造、供給する点からは、上記のラジカル酸化によって表面ラフネスを改善することは、工程が増えることになり生産性が低下する。現状のシリコン基板製造工程では、鏡面研磨した後にRCA洗浄を施す工程が一般的である。以下、研磨・洗浄処理されたシリコン半導体基板を鏡面研磨シリコン半導体基板と呼ぶ。エピタキシャルシリコン半導体基板などを含めて総称としてシリコン半導体基板と呼ぶことにする。鏡面研磨シリコン半導体基板の表面ラフネスは平方根平均ラフネス (root-mean-square roughness; Rms) で表すと、0.12nm程度である。半導体集積回路素子を製造するデバイスメーカーではシリコン半導体基板を受け入れた後、RCA洗浄を施す。前述のようにRCA洗浄を施すと一般に表面ラフネスは悪化する。

【0022】

従ってデバイスメーカーにおけるRCA洗浄後のシリコン半導体基板の一般的なRmsは0.18nm程度である。この基板にゲート酸化膜を形成するために従来のドライ酸素（乾燥酸素）雰囲気下で、5nm程度の酸化膜を形成した場合、その界面のRmsは0.22nmに悪化する。一方、前述のラジカル犠牲酸化の後にラジカル酸化により5nm程度の酸化膜を形成した場合のRmsは0.08nm程度になり、表面ラフネスは大幅に低減できる。このラジカル犠牲酸化の

工程をシリコン半導体基板メーカーに導入することも表面ラフネス低減の1つの手法になるが、前述のように工程が増えることになり生産性の低下になる。したがって、半導体集積回路素子製造に使用されるシリコン半導体基板を製造する立場においては、ラジカル酸化などの犠牲酸化や特別な洗浄を施すことなく、表面ラフネスが低減されたシリコン半導体基板を製造することが必要になる。

【0023】

本発明は、 $\{110\}$ 面のキャリア移動度、特にn型FETのキャリアである電子の移動度がより高い値を示す半導体集積回路素子用シリコン半導体基板を製造するためになされたものであり、上述の5工程洗浄のような特別な洗浄を用いず従来のRCA洗浄を用い、またラジカル酸化を行うことなく、原子レベルで表面が平坦化され、表面ラフネスが低減されたシリコン半導体基板及びその製造方法を提供することを目的とする。

【0024】

【課題を解決するための手段】

上記の目的を達成するために、本発明のシリコン半導体基板の第1の態様は、 $\{110\}$ 面又は $\{110\}$ 面を傾けた面を主面とするシリコン半導体基板であって、その表面に平均的に $\langle 110 \rangle$ 方向に沿った原子レベルのステップを有することを特徴とする。上記 $\{110\}$ 面を傾けた面としては $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面とするのが好適である。

【0025】

$\{110\}$ 面又は $\{110\}$ 面を傾けた面を主面とするシリコン半導体基板を半導体集積回路素子に用いることの最大の特長は、p型FETにおける正孔移動度が $\langle 110 \rangle$ 方向で $\{100\}$ 面の場合に比べて約2.5倍も高くなることである。したがって、これらのシリコン半導体基板におけるn型FET電子移動度が $\{100\}$ 面の電子移動度以上に向上させた半導体集積回路素子では電子と正孔の流れるチャネル方向を $\langle 110 \rangle$ 方向に作製することによって、さらに回路素子の微細化が実現できる。しかし、 $\langle 110 \rangle$ 方向に原子レベルのステップを有さない $\{110\}$ 面を主面とするシリコン半導体基板では、表面ラフネスが $\{100\}$ 面の表面ラフネス以下にならず、その電子移動度は $\{100\}$ 面の電子

移動度よりも小さいというのが現状である。

【0026】

表面ラフネスを低減するためには、原子レベルでの表面平坦化が必要である。表面にステップを形成することによって、ステップ間にはテラスが形成され、そのテラス面では原子レベルで平坦な面となる。ステップのエッジを $\langle 110 \rangle$ 方向になるようにすれば、 $\langle 110 \rangle$ 方向に流れるキャリアは、平坦なテラス面直下を流れるか、あるいはステップの段差による散乱を受けることなく流れることによって、表面ラフネスによる散乱の影響が低減され、高い移動度を実現できる。なお、ステップのエッジは原子レベルでは直線にはならず数原子の凹凸があり、その部分はキンク部と呼ばれる。したがって、 $\langle 110 \rangle$ 方向に沿ったステップというのは、マイクロメートルオーダーで平均的に見て、 $\langle 110 \rangle$ 方向に沿ったステップの意味である。

【0027】

本発明のシリコン半導体基板の第1の態様において、 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板の表面にエピタキシャル成長法によりシリコン単結晶薄膜を形成することができる。このエピタキシャル成長法によりシリコン単結晶薄膜を表面に形成したシリコン半導体基板は、換言すれば、エピタキシャルシリコン半導体基板であり、以下、これを本発明のエピタキシャルシリコン半導体基板と称することがある。

【0028】

シリコン半導体基板のエピタキシャル成長は、テラス上にできるステップのキンク部にシリコン原子が堆積しながらステップが2次元的に成長するモデルで説明されている。主面が微傾斜されていない、研磨・洗浄処理されたままの $\{110\}$ 面の鏡面研磨シリコン半導体基板の表面には通常のRCA洗浄ではテラスとステップは形成されず、無数のマイクロファセットが存在する。これが表面ラフネス悪化の要因である。この表面にエピタキシャル成長を行うと、無数のマイクロファセットがキンクの役割を担いシリコン原子の堆積は均一に起こる。したがって、 $\langle 110 \rangle$ 方向に向いたステップとテラスは形成されない。

【0029】

しかし、本発明のエピタキシャルシリコン半導体基板においては、エピタキシャル成長を行う前の鏡面研磨シリコン半導体基板の主面が微傾斜された面である微斜面であるにも拘わらずテラスとステップは観察されないが、その表面にシリコン原子をエピタキシャル成長させると、その成長過程でテラスとステップが形成される。テラスの表面は原子レベルで平坦であることから、表面ラフネスが改善される。微傾斜された鏡面研磨シリコン半導体基板は、潜在的にテラスとステップが形成される要因を含んでいる。微傾斜の方向を本発明の $\langle 100 \rangle$ 方向にすることによって、キャリアを流す方向とする $\langle 110 \rangle$ 方向に平行にステップが現われ、ステップ間の平坦な面であるテラス面直下でキャリアを流すことができる。したがって、ステップの段差によるキャリアの散乱も起こらない。

【0030】

本発明のシリコン半導体基板の第1の態様において、 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板を、水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理を施すこともできる（以下、このシリコン半導体基板を熱処理シリコン半導体基板と称することがある）。水素ガスやアルゴンガス、あるいはこれらの混合ガス雰囲気下で高温で熱処理を施した、微傾斜 $\{110\}$ 面シリコン基板においても、高温処理により表面のシリコン原子が再配列することによって、その表面にはステップとテラスが形成される。微傾斜の方向を $\langle 100 \rangle$ 方向とすることによって、キャリアを流す方向とする $\langle 110 \rangle$ 方向に平行にステップが現われ、ステップ間の平坦な面であるテラス面直下でキャリアを流すことができる。したがって、ステップの段差によるキャリアの散乱も起こらない。

【0031】

本発明のシリコン半導体基板の第2の態様は、 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板であって、その表面を鏡面研磨したことを特徴とする（以下、このシリコン半導体基板を鏡面研磨シリコン半導体基板ということがある）。前述のように、 $\{110\}$ 面を $\langle 100 \rangle$ 方向に微傾斜し、研磨・洗浄処理を施されたままのシリコン基板においては、ステップとテラスは形成されないが、その基板にエピタキシャル成長や水素ガスやアルゴンガス

雰囲気下で熱処理を施すことによって、ステップとテラスを形成することができることから、シリコン基板の表面にはステップとテラスを形成するための要因を内在している。半導体集積回路素子を形成するための初期工程の洗浄工程や熱処理工程においてステップとテラスを形成することができる。

【0032】

本発明のシリコン半導体基板における微傾斜角度は 0° 以上 8° 未満とすることが好ましい。 $\{110\}$ 面を $\langle 100 \rangle$ 方向に 8° 傾斜した面は、別の低指数面 $\{551\}$ 面となり、この表面にステップとテラスを形成するためには $\{551\}$ 面を僅かに傾斜させる必要がある。したがって、 8° 未満が好ましい。微傾斜角度が大きくなるとテラス幅は小さくなり、ステップの密度が高くなる。 $\{110\}$ 面の単原子層ステップの段差は 0.192 nm であるから、 8° の場合の計算上のテラス幅は 1.36 nm であり、2原子ステップの段差は 0.394 nm であるからテラス幅は 2.73 nm となり、テラス幅とステップ段差は同じオーダーになる。ステップの密度が高くなるとキンク密度も高くなり、ステップによる2次元エピタキシャル成長が難しくなり、特定の方向を向いたステップとテラスが形成されなくなる。 0° を含めるのは装置精度の問題に因る。結晶インゴットからウェーハを切断する場合、 0° に設定しても切断機と方位測定機の精度の問題で実際は10分程度の誤差を持つのが一般的である。したがって、 0° のウェーハといえども完全に 0° となることは極稀である。

【0033】

本発明のシリコン半導体基板においてオリエンテーションフラットあるいはノッチを $\langle 110 \rangle$ 方向に形成することが好適である。このような構成とすることによって、結晶インゴットより切断されたウェーハの表裏に対して傾斜方向は同一方向になり、ウェーハの表裏管理を行う必要がないため、表裏を間違える危険性を排除することができる。

【0034】

本発明のシリコン半導体基板の製造方法の第1の態様は、 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板を作製し、その表面にエピタキシャル成長法によりシリコン単結晶薄膜を成長させることにより上述した

本発明の第1の態様のシリコン半導体基板を製造することを特徴とする。

【0035】

本発明のシリコン半導体基板の製造方法の第2の態様は、 $\{110\}$ 面を $\langle 110 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板を作製し、そのシリコン半導体基板を水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理することにより上述した本発明の第1の態様のシリコン半導体基板を製造することを特徴とする。

【0036】

【発明の実施の形態】

以下に本発明の実施の形態を添付図面に基づいて説明するが、図示例は例示的に示されるもので、本発明の技術思想から逸脱しない限り種々の変形が可能なこととはいうまでもない。

【0037】

まず、本発明に係るシリコン半導体基板について、図1～図6を用いて説明する。図1は $\{110\}$ 面を $\langle 110 \rangle$ 方向に 0.1° 傾斜した本発明のエピタキシャルシリコン半導体基板WのAFM (Atomic Force Microscope) 像を示し、図2はその模式図である。図3は $\{110\}$ 面を $\langle 110 \rangle$ 方向に 7.9° 傾斜した本発明のエピタキシャルシリコン半導体基板WのAFM像を示し、図4はその模式図である。図5は $\{110\}$ 面を $\langle 110 \rangle$ 方向に 0.1° 傾斜した水素熱処理シリコン半導体基板WのAFM像を示し、図6はその模式図である。

【0038】

本発明のシリコン半導体基板Wは、 $\{110\}$ 面又は $\{1\bar{1}0\}$ 面を傾けた面を主面とし、その表面に $\langle 110 \rangle$ 方向に沿った原子レベルのステップSを有するものである（図1～図6の図示例は $\{110\}$ 面を傾けた面を主面とした場合である）。

【0039】

シリコン半導体基板Wの表面ラフネスを低減するためには、原子レベルでの表面平坦化が必要である。シリコン半導体基板Wの表面にステップSを形成するこ

とによって、ステップS間にはテラスTが形成され、そのテラスT面では原子レベルで平坦な面となる。ステップSのエッジを $\langle 110 \rangle$ 方向になるようにすれば、 $\langle 110 \rangle$ 方向に流れるキャリアは、平坦なテラスT面直下を流れるか、あるいはステップSの段差による散乱を受けることなく流れることによって、表面ラフネスによる散乱の影響が低減され、高い移動度を実現できる。なお、ステップSのエッジは原子レベルでは直線にはならず数原子の凹凸があり、その部分はキンク部と呼ばれる。したがって、 $\langle 110 \rangle$ 方向に沿ったステップSというのは、マイクロメートルオーダーで平均的に見て、 $\langle 110 \rangle$ 方向に沿ったステップSの意味である。

【0040】

$\{110\}$ 面又は $\{1\bar{1}0\}$ 面を傾けた面上に形成される半導体集積回路素子のキャリア移動度を高めるには、キャリアが流れる $\langle 110 \rangle$ 方向の表面が原子レベルで平坦であることが必要である。 $\{110\}$ 面又は $\{1\bar{1}0\}$ 面を傾けた面を主面とするシリコン半導体基板において、その表面に平均的に $\langle 110 \rangle$ 方向にステップを形成することができれば、ステップ間に現われる平坦な面であるテラス面の直下を $\langle 110 \rangle$ 方向に沿ってキャリアを流すことができる。本発明のエピタキシャルシリコン半導体基板は、 $\langle 110 \rangle$ 方向に沿ってステップを形成するために発明されたもので、 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とする鏡面研磨シリコン半導体基板表面にエピタキシャル成長によりシリコン単結晶薄膜を形成したものである。

【0041】

次に、主面が $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面であるシリコン半導体基板において、オリエンテーションフラットあるいはノッチを $\langle 110 \rangle$ 方向に形成することについて、図7を用いて説明する。図7は本発明のシリコン半導体基板においてオリエンテーションフラットを $\langle 100 \rangle$ 方向に付けることによって表裏等価になることを示す説明図である。本発明の効果の一つは、シリコン半導体基板の表裏の管理を不要とすることにある。図7にシリコン半導体基板Wの $\{110\}$ 面を代表して (110) 面とし、

【0042】

【外2】

[$\bar{1}10$]

【0043】

方向にオリエンテーションフラットOF（以下ノッチの場合も同様なのでオリエンテーションフラットで代表する）を形成した場合を示す。（110）面に垂直な[110]軸（矢印OA）を[001]方向に傾けた場合、新たな軸は図中では矢印OA'になる。それにより主面は新たな軸OA'に垂直な面となる。ウェーハの表裏が反転して裏面側を研磨した場合には、傾斜方位はウェーハ下面側に示す矢印OA''となり、傾斜方位はオリエンテーションフラットOFに対して同一方向になる。言い換えれば、オリエンテーションフラットOFを基準にして傾斜方位はウェーハの表裏反転に対して同一方向になる。したがって、シリコン半導体基板の製造工程において、表裏の管理を実施することなく、オリエンテーションフラットOFを基準にして結晶学的に等価な構造をもつシリコン半導体基板を提供できる。

【0044】

比較のために、図8にシリコン半導体基板WのオリエンテーションフラットOFを[001]方向に形成した場合を示す。図7と同様に（110）面に垂直な[110]軸（矢印OA）を[001]方向に傾けた場合、新たな軸は図中では矢印OA'になる。それにより主面は新たな軸OA'に垂直な面となる。ウェーハの表裏が反転して裏面側を研磨した場合には、傾斜方位はウェーハ下面側に示す矢印OA''となり、傾斜方位はオリエンテーションフラットOFに対して180度回転した方向になる。あるウェーハでは傾斜方位はオリエンテーションフラットの方向（[001]）に向いているが、別のウェーハではオリエンテーションフラットの方向（[001]）と反対側になる。したがって、オリエンテーションフラットを基準にしてシリコン半導体基板の方向を揃えて種々の処理を施して半導体素子を作製するデバイス作製工程においては、傾斜方向が180度異なるウェーハが混在することになり、同一の特性を示す素子を作製することができなくなる。

【0045】

本発明のシリコン半導体基板の製造方法の第1の態様は、 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板を作製し、その表面にエピタキシャル成長法によりシリコン単結晶薄膜を成長させることにより本発明のシリコン半導体基板を製造するものである。

【0046】

本発明のシリコン半導体基板の製造方法の第2の態様は、 $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた面を主面とするシリコン半導体基板を作製し、そのシリコン半導体基板を水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理することにより本発明のシリコン半導体基板を製造するものである。

【0047】

【実施例】

以下に実施例をあげて本発明をさらに詳細に説明するが、これらの実施例は例示的に示されるもので、限定的に解釈されるべきでないことはいうまでもない。

【0048】

(実施例1)

$[110]$ 方向に引き上げられたシリコン単結晶を $[001]$ 方向に 0° 、 0.1° 、 1.0° 、 2.0° 、 4.0° 、 6.0° 、 7.9° 、 10.0° 傾けて切断し、ウェーハを作製した。結晶はボロンを添加したp型で、電気抵抗率は $10 \sim 12 \Omega \text{cm}$ である。口径は 150mm である。切断されたウェーハを通常の化学的機械的研磨によって鏡面ウェーハにした後、RCA洗浄を施した。これらの鏡面研磨シリコン半導体基板にエピタキシャル成長により厚さ約 $5 \mu\text{m}$ のシリコン単結晶薄膜を形成した。原料ガスとしてトリクロロシラン(SiHCl_3)を用い、水素雰囲気中にて 1130°C の反応温度で成長させた。

【0049】

表面ラフネスの測定は、AFM (Atomic Force Microscope) の機能によって表面の微小な凹凸を測定することができるSEIKO INSTRUMENTS社のSPA360によって行い、その表面ラフネスの量を R_{ms} によって表す。図9にエピタキシャルシリコン半導体基板の R_{ms} の微

傾斜角度依存性を示す。比較のためにそれぞれの傾斜角度をもつ鏡面研磨シリコン半導体基板についても表している。微傾斜角度が 0° の場合、鏡面研磨シリコン半導体基板の R_{ms} とエピタキシャルシリコン半導体基板の R_{ms} はそれぞれ 0.118 nm 、 0.112 nm である。

【0050】

なお、傾斜のない $\{110\}$ 面の鏡面研磨シリコン半導体基板の $R_{ms} = 0.118\text{ nm}$ は傾斜のない $\{100\}$ 面の鏡面研磨半導体基板の R_{ms} とほぼ同じ値である。微傾斜角が 0.1° においてもエピタキシャルシリコン半導体基板の表面ラフネスは鏡面研磨シリコン半導体基板よりも低減されている。その低減効果は、少なくとも 7.9° の傾斜角まで認められる。 $\{110\}$ 面の単原子層ステップの段差は 0.192 nm であるから、 7.9° の場合の計算上のテラス幅は 1.38 nm であり、2原子ステップの段差は 0.394 nm であるからテラス幅は 2.76 nm となり、テラス幅とステップ段差は同じオーダーになる。ステップ間隔が狭くなりその密度が高くなるとキンク密度も高くなり、ステップによる2次元エピタキシャル成長が難しくなる。 10.0° では表面ラフネスは悪くなっている。

【0051】

微傾斜角が 0.1° のエピタキシャルシリコン半導体基板の表面ラフネスのAFM像を図1に示し、その模式図を図2に示す。図1及び図2に示したように、ステップSとテラスTを認めることができる。ステップSは平均的に $\langle 110 \rangle$ 方向に形成されている。テラスTの幅は約 100 nm である。テラスTの幅 L は、簡略化したモデルでステップSの段差 h と微傾斜角 α の間に成り立つ式： $\tan \alpha = h/L$ によって予測することができる。 $\{110\}$ の場合、単原子ステップの段差は 0.192 nm で、2原子ステップの段差は 0.384 nm である。微傾斜角度が 0.1° の場合、単原子ステップに対してテラス幅は 110 nm になる。予測とほぼ一致する。微傾斜角度が 1° を超えると、見積もられる単原子ステップによるテラス幅は 10 nm 以下になる。

【0052】

この場合のステップとテラスをAFMで観察することは困難である。表面ラフ

ネス R_{ms} が鏡面研磨シリコン半導体基板よりも低減していることから、ステップとテラスは形成されていると考えられる。このように微傾斜角度が大きくなるほどテラス幅は小さくなると予測されるが、微傾斜角度が 7.9° の場合に例外が認められる。その場合の AFM 像を図 3 に示し、その模式図を図 4 に示す。図 3 及び図 4 から明らかなように、予測されるテラス幅である 1.38 nm または 2.76 nm よりもかなり広いテラス T が形成されている。またステップ S の方向は概ね $\langle 110 \rangle$ 方向であるが、曲線的であることから、ステップ S の成長が揺らいでいることを意味している。かなり広いテラス T が形成された理由は、 $\{110\}$ 面を $\langle 100 \rangle$ 方向に 7.9° 傾けた場合に、その主面は低指数面である $\{551\}$ 面が 0.15° 傾いた面になることから、その主面がファセット面 $\{551\}$ から僅かに傾いた面になっていることにある。これはファセット面である $\{111\}$ 面を $\langle 112 \rangle$ 方向に僅かに傾けた場合にステップとテラスが形成されることから推察される。

【0053】

(実施例 2)

次に、熱処理シリコン半導体基板の表面ラフネスについて説明する。エピタキシャルシリコン半導体基板の場合と同じように、 $[110]$ 方向に引き上げられたシリコン単結晶を $[001]$ 方向に 0° 、 0.1° 、 1.0° 、 2.0° 、 4.0° 、 6.0° 、 7.9° 、 10.0° 傾けて切断し、ウェーハを作製した。通常の化学的機械的研磨によって鏡面ウェーハにした後、RCA 洗浄を施した。これらの鏡面研磨シリコン半導体基板に水素ガス雰囲気中で 1150°C で 1 時間の熱処理を施した。図 10 に水素熱処理シリコン半導体基板の R_{ms} の微傾斜角度依存性を示す。

【0054】

比較のために鏡面研磨シリコン半導体基板についても表している。微傾斜角度が 0° の場合、鏡面研磨シリコン半導体基板の R_{ms} と水素熱処理シリコン半導体基板の R_{ms} はそれぞれ 0.118 nm 、 0.111 nm である。 R_{ms} の微傾斜角度依存性はエピタキシャルシリコン半導体基板の場合と同じである。すなわち微傾斜角が 0.1° から 7.9° まで水素熱処理シリコン半導体基板の表面

ラフネスは鏡面研磨シリコン半導体基板よりも低減されている。

【0055】

図5に微傾斜角が 0.1° の場合のAFM像を示し、その模式図を図6に示す。エピタキシャルシリコン半導体基板の場合ほど明瞭ではないがステップとテラスは形成されている。このようにステップとテラスはエピタキシャルシリコン半導体基板に比べて形成され難いといえるが、微傾斜された熱処理シリコン半導体基板の表面ラフネス R_{ms} は鏡面研磨シリコン半導体基板より低減することからキャリアの表面ラフネスによる散乱は低減できる。

【0056】

(実施例3)

以下に、本発明のシリコン半導体基板に半導体素子を形成し、キャリア移動度の測定について説明する。主面が $\{110\}$ 面を $\langle 100 \rangle$ 方向に傾けた角度を 0° 、 0.1° 、 7.9° とした鏡面研磨シリコン半導体基板とそれらの表面に厚さ $5\mu\text{m}$ のシリコン単結晶薄膜を成膜されたエピタキシャルシリコン半導体基板及び水素雰囲気中で熱処理を施された熱処理シリコン半導体基板を用いた。鏡面研磨シリコン基板の直径、電気抵抗率、酸素濃度はそれぞれ 150mm 、 p 型 $10\sim 12\Omega\text{cm}$ 、 16ppma (JEIDA換算)である。エピタキシャルシリコン層の電気抵抗率は $11\Omega\text{cm}$ を中心値とした。水素熱処理は 1150°C で1時間の処理である。参照試料として、傾斜のない $\{100\}$ 面の鏡面研磨シリコン半導体基板も加えた。電気抵抗率、酸素濃度は上記の値とほぼ同じである。なお、JEIDAは日本電子工業振興協会(現在は、JEITA:日本電子情報技術産業協会に改称された)の略称である。

【0057】

電子移動度の改善効果を実証するために n 型電界効果トランジスタを形成した。最初に素子分離のために、STI(Shallow Trench Isolation)法により素子分離のためのトレンチを形成し、シリコン酸化膜(SiO_2)によってトレンチを埋めた。次にRCA洗浄を施し、有機物、パーティクル、金属を除去した後、乾燥酸化雰囲気中で 5nm のゲート酸化膜を形成した。ゲートの閾値電圧を制御するために基板全面にボロン(B)をイオン注入した

【0058】

次に、基板全面に多結晶シリコン膜をCVD (Chemical Vapor Deposition) 法により堆積させ、これをパターニングしてトランジスタ形成領域のゲート酸化膜の上に多結晶シリコン電極を形成した。次に、リン(P)を低濃度でイオン注入して高電界を緩和するn-ソースとn-ドレイン領域を形成した。電子の流れる方向は $\langle 110 \rangle$ 方向である。次にゲート電極を被覆するようにCVDによって基板全面にシリコン酸化膜を堆積させ、異方性エッチングを行ってゲート電極の側壁に側壁絶縁膜を形成した。最後に砒素(As)を高濃度にイオン注入してn+ソースとn+ドレイン領域を形成した。こうして作製されたn型電界効果トランジスタの電子移動度を評価した。

【0059】

基準になる $\{100\}$ 面の鏡面研磨シリコン半導体基板における電子移動度を1として、それぞれの基板の電子移動度を表1に示す。微傾斜エピタキシャルシリコン半導体基板の電子移動度は、現在広く用いられている $\{100\}$ 面鏡面研磨シリコン半導体基板の電子移動度の1.4倍になる。微傾斜された水素熱処理シリコン半導体基板の電子移動度でも約1.2倍になる。微傾斜された鏡面研磨シリコン半導体基板の電子移動度は、 $\{100\}$ 面の場合に比べて約0.8倍であり、見劣りするが、傾斜のない $\{110\}$ 面の場合に比べると1.3倍になることから、傾斜することの効果は現われている。この実施例では、半導体素子作製工程で従来のRCA洗浄方法を用いたが、洗浄方法や熱処理方法を改善することによって、電子移動度はさらに改善される可能性がある。例えば、前述の5工程洗浄やラジカル犠牲酸価処理を施すことによって表面ラフネスはさらに改善され、キャリア移動度もさらに高くなるものと期待できる。

【0060】

【表 1】

{110} 基板	傾斜角度 ([001] 方向)		
	0°	0.1°	7.9°
鏡面研磨	0.62	0.81	0.79
エピタキシャル	0.76	1.46	1.44
熱処理	0.72	1.22	1.15

【0061】

【発明の効果】

以上述べたごとく、本発明のシリコン半導体基板は、原子レベルで平坦化され、従来のシリコン半導体基板に比べて表面ラフネスが約10%低減されること、及び原子レベルの表面ステップが半導体素子のキャリアの流れる方向に沿って形成されることから半導体素子のキャリア移動度を従来のシリコン半導体基板の場合よりも最大で40%も向上させることができる。本発明のシリコン半導体基板を半導体集積回路素子の基板として用いることによって、素子性能の高性能化を実現できる。また、本発明方法によれば、本発明のシリコン半導体基板を効果的に製造することができる。

【図面の簡単な説明】

【図1】 実施例1におけるエピタキシャルシリコン半導体基板で傾斜角が0.1°の場合に表面に形成されるステップとテラスの状態を示すAFM像である。

【図2】 図1の模式図である。

【図3】 実施例1におけるエピタキシャルシリコン半導体基板で微傾斜角が7.9°の場合に表面に形成されるステップとテラスの状態を示すAFM像である。

【図4】 図3の模式図である。

【図5】 本発明の水素熱処理シリコン半導体基板で微傾斜角が0.1°の場合に表面に形成されるステップとテラスの状態を示すAFM像である。

【図6】 図5の模式図である。

【図7】 本発明のシリコン半導体基板でオリエンテーションフラットを<1

100方向に付けることによって表裏等価になることを示す説明図である。

【図8】 シリコン半導体基板でオリエンテーションフラットを<100>方向に付ける場合には表裏等価にならず表裏管理が必要であることを示す説明図である。

【図9】 実施例1における本発明のエピタキシャルシリコン半導体基板と鏡面研磨シリコン半導体基板の表面ラフネス（Rms）の微傾斜角度依存性を示すグラフである。

【図10】 実施例2における水素熱処理シリコン半導体基板と鏡面研磨シリコン半導体基板の表面ラフネス（Rms）の微傾斜角度依存性を示すグラフである。

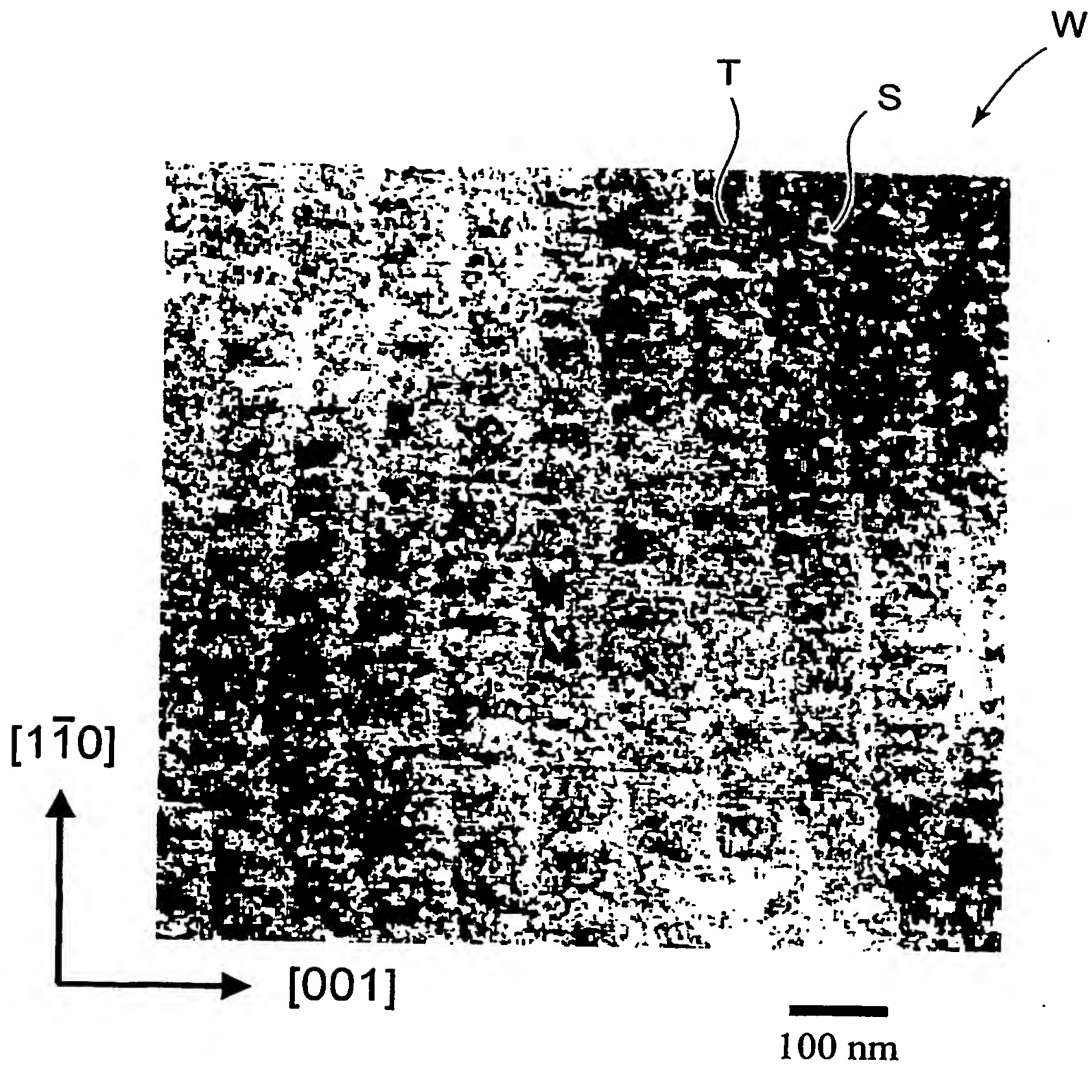
【符号の説明】

OF：オリエンテーションフラット、S：ステップ、T：テラス、W：シリコン半導体基板。

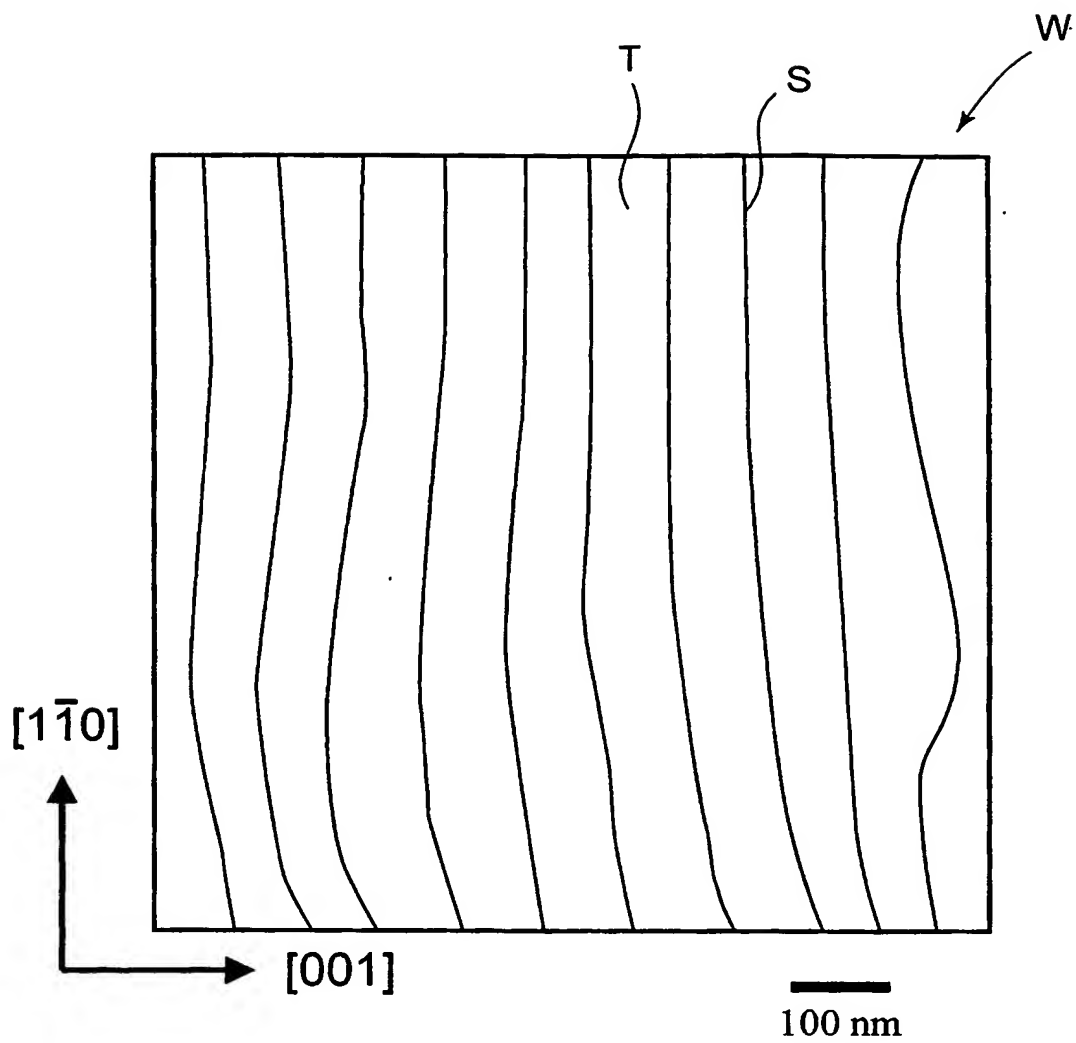
【書類名】

図面

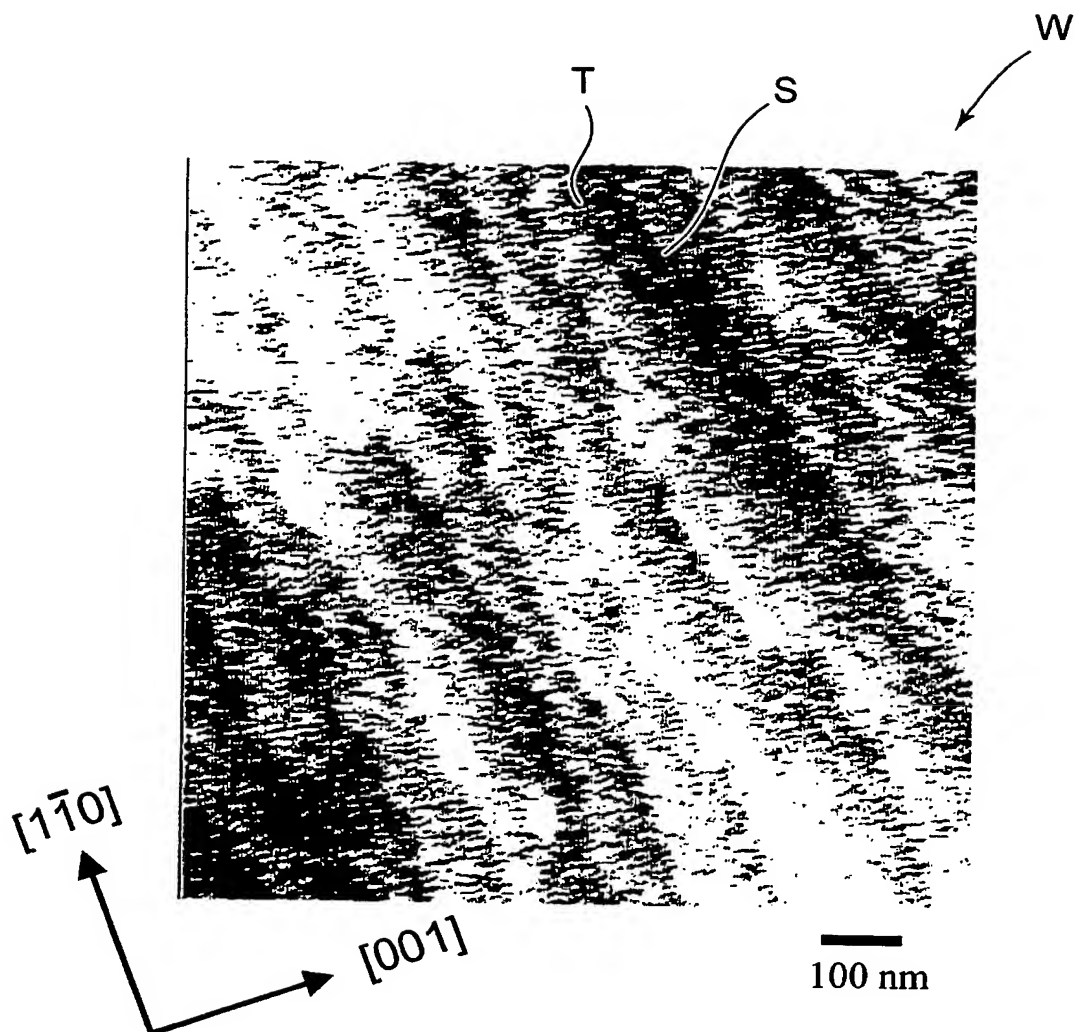
【図 1】



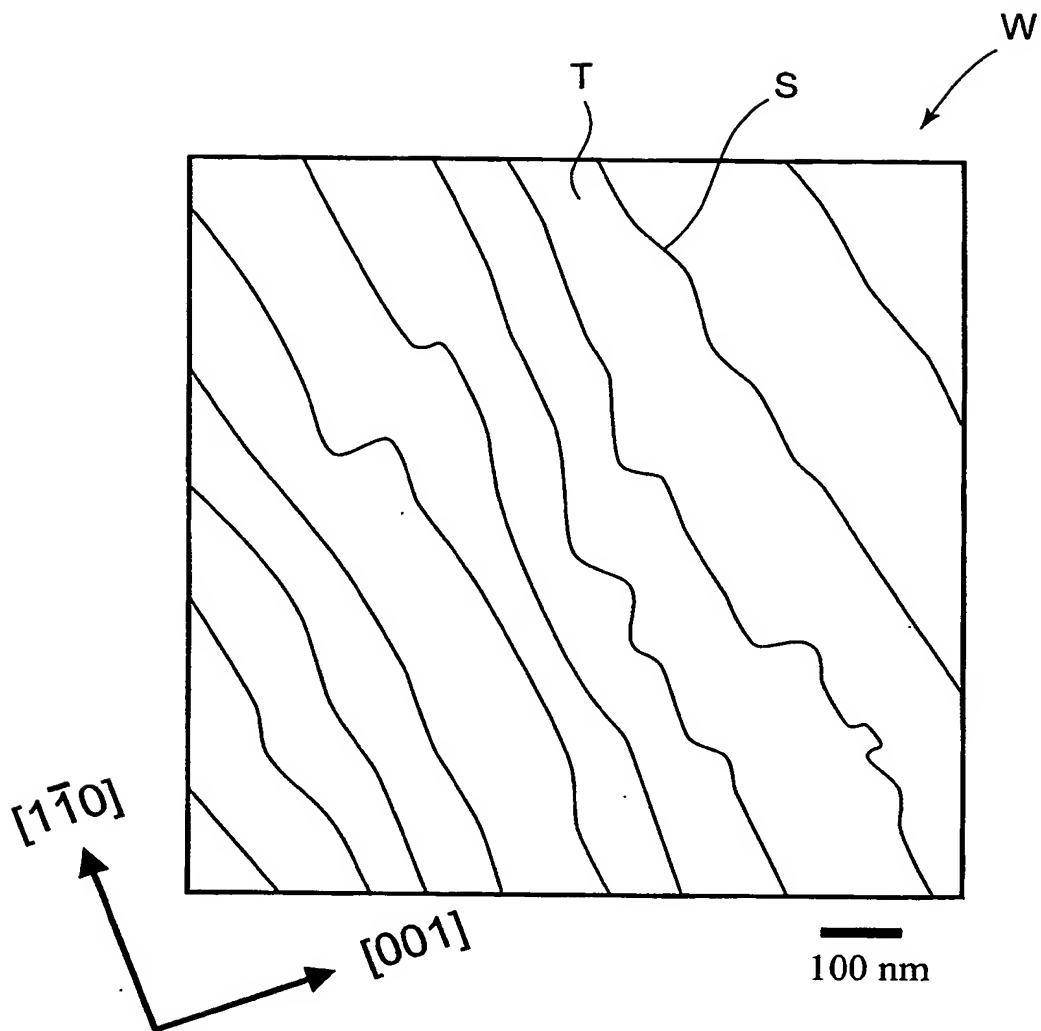
【図 2】



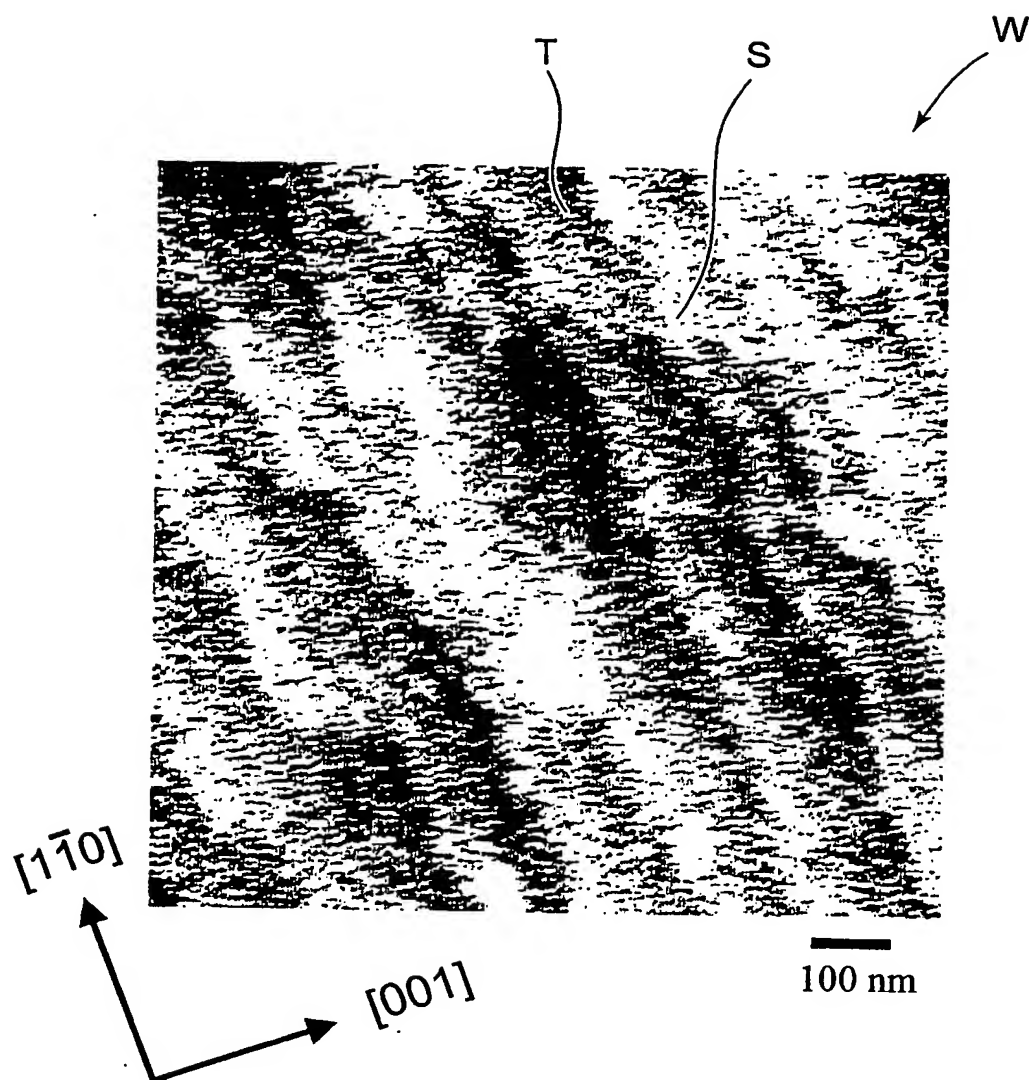
【図 3】



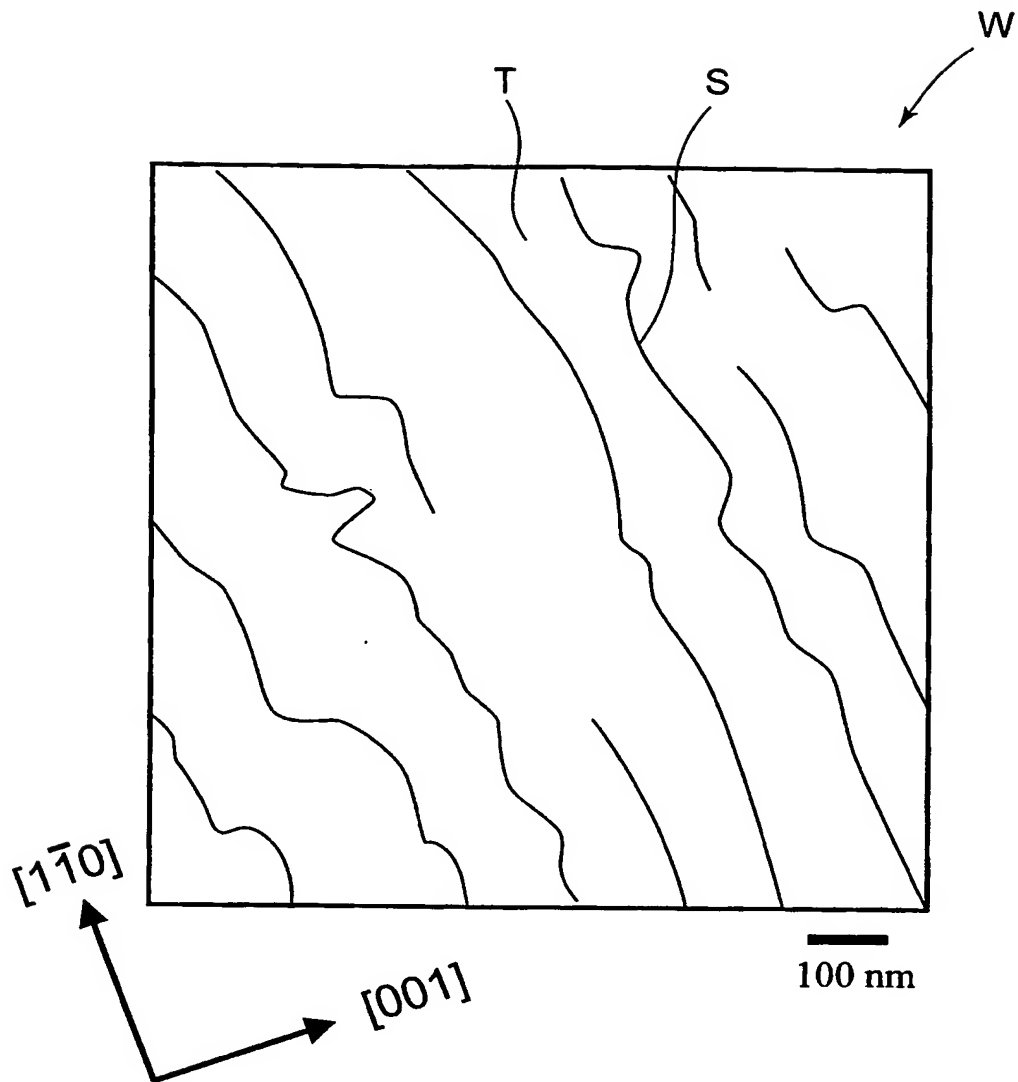
【図 4】



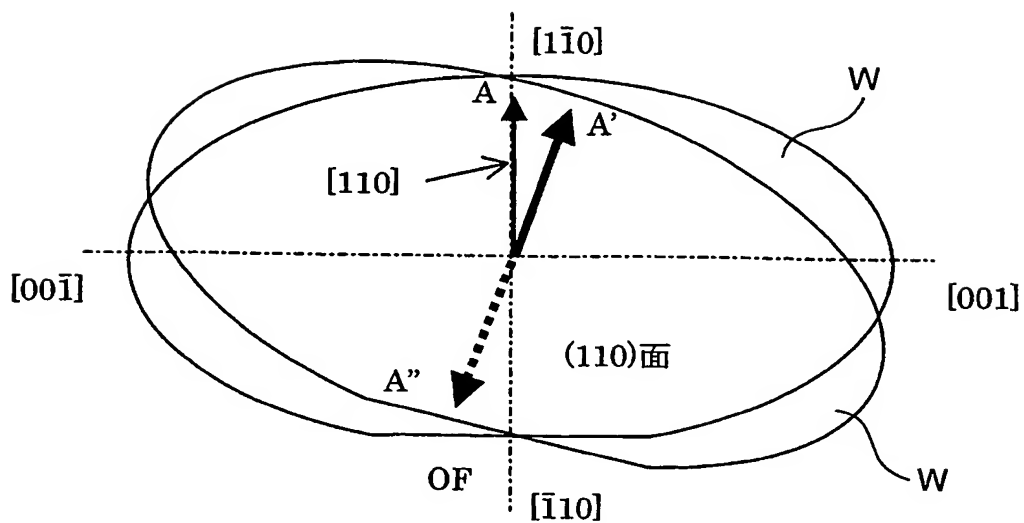
【図 5】



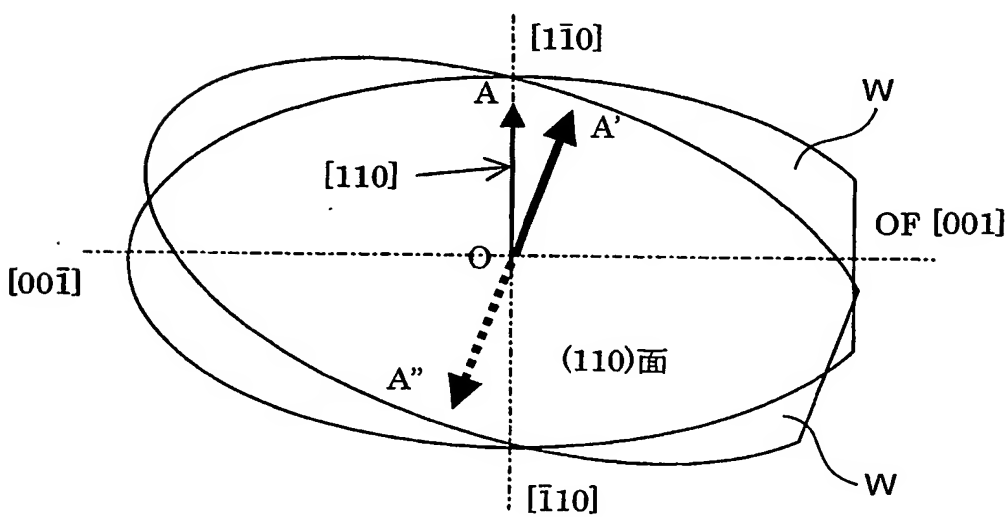
【図 6】



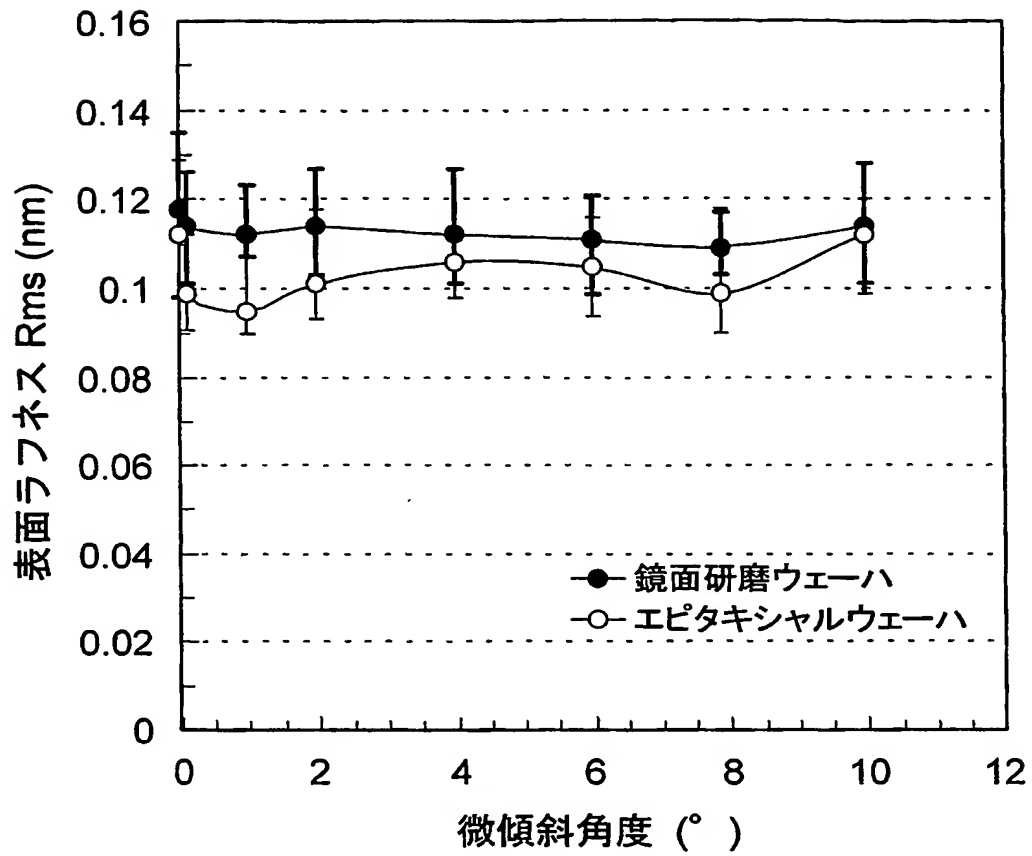
【図 7】



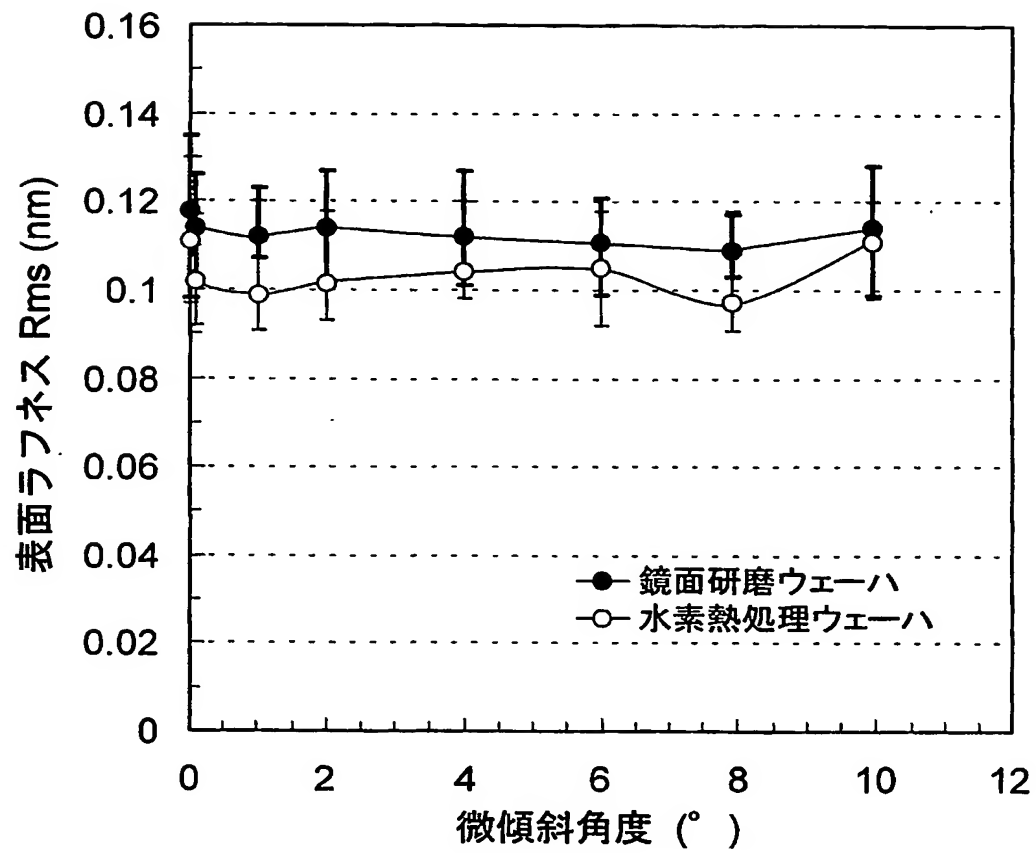
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】

{1 1 0} 面のキャリア移動度、特に n 型 F E T のキャリアである電子の移動度がより高い値を示す半導体集積回路素子用シリコン半導体基板を製造するためになされたものであり、特別な洗浄を用いず従来の R C A 洗浄を用い、またラジカル酸化を行うことなく、原子レベルで表面が平坦化され、表面ラフネスが低減されたシリコン半導体基板及びその製造方法を提供する。

【解決手段】

{1 1 0} 面又は {1 1 0} 面を傾けた面を主面とするシリコン半導体基板であって、その表面に平均的に < 1 1 0 > 方向に沿った原子レベルのステップを有するようにした。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-030642
受付番号	50300199439
書類名	特許願
担当官	宇留間 久雄 7277
作成日	平成15年 2月12日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000190149
【住所又は居所】	東京都千代田区丸の内1丁目4番2号
【氏名又は名称】	信越半導体株式会社

【特許出願人】

【識別番号】	000205041
【住所又は居所】	宮城県仙台市青葉区米ヶ袋2-1-17-301
【氏名又は名称】	大見 忠弘

【代理人】

申請人

【識別番号】	100080230
【住所又は居所】	東京都豊島区東池袋3丁目7番8号 若井ビル3 02号 石原国際特許事務所
【氏名又は名称】	石原 詔二

次頁無

特願 2 0 0 3 - 0 3 0 6 4 2

ページ： 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 9 0 1 4 9]

1. 変更年月日

1 9 9 0 年 8 月 7 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 1 丁目 4 番 2 号

氏 名

信越半導体株式会社

特願 2003-030642

ページ： 2/E

出 願 人 履 歴 情 報

識別番号

[000205041]

1. 変更年月日

1990年 8月27日

[変更理由]

新規登録

住 所

宮城県仙台市青葉区米ヶ袋2-1-17-301

氏 名

大見 忠弘